

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07066207 A

(43) Date of publication of application: 10 . 03 . 95

(51) Int. Cl.

H01L 21/321

H01L 21/60

H05K 3/34

(21) Application number: 05209767

(71) Applicant: SONY CORP

(22) Date of filing: 24 . 08 . 93

(72) Inventor: ISHIKAWA NATSUYA

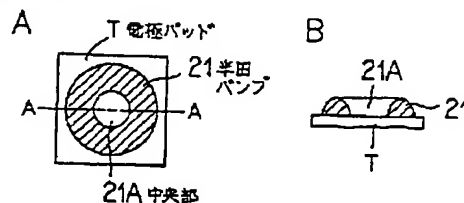
(54) SURFACE MOUNT DEVICE, MANUFACTURE THEREOF, AND SOLDERING METHOD

(57) Abstract:

PURPOSE: To solder a surface mount device to a circuit board without causing defective bonds by giving its electrodes solder bumps with a recess in the center so that they can seat on conductive projections on the board to correctly position the device.

CONSTITUTION: A surface mount device has electrodes T each provided with a solder bump 21 having a recess in the center. For example, a ring-shaped solder bump 21 with a recess 21A in the center is formed on the electrode pad of a surface mount device, such as a flip chip IC. Such a device is mounted on a circuit board in such a manner that the recessed bumps seat on conductive projections on the board. Then, the surface mount device is soldered to the board by heating.

COPYRIGHT: (C)1995,JPO



THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-66207

(43)公開日 平成7年(1995)3月10日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321				
21/60	3 1 1 S	6918-4M		
H 0 5 K 3/34		7128-4E		
		9168-4M	H 0 1 L 21/ 92	C
		9168-4M		F
審査請求 未請求 請求項の数4 O L (全 5 頁)				

(21)出願番号 特願平5-209767

(22)出願日 平成5年(1993)8月24日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 石川 夏也

東京都品川区北品川6丁目7番35号ソニー株式会社内

(74)代理人 弁理士 高橋 光男

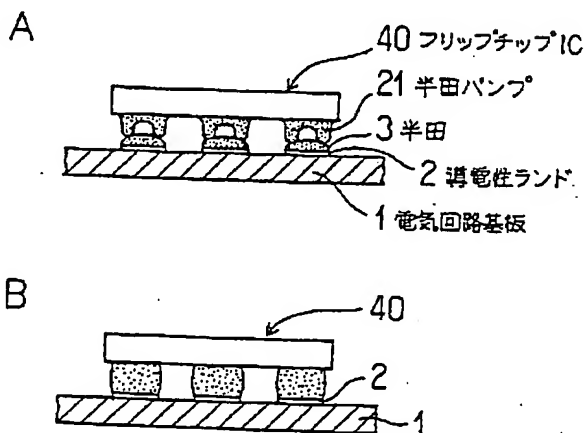
(54)【発明の名称】 表面実装型電子部品及びその製造方法並びに半田付け方法

(57)【要約】 (修正有)

【目的】 表面実装型電子部品を電気回路配線基板に確実に表面実装すること。

【構成】 フリップチップ型IC40の電極パッドTの表面上に半田バンプ21を形成し、その断面形状を凹状または台形状とした。このような半田バンプ21は、電極パッドTの少なくとも中央部表面を絶縁樹脂膜31で被覆し、この絶縁樹脂31で被覆されていない電極パッドTの表面上に半田34を付着させることにより形成している。

【効果】 この表面実装型電子部品の凹状または台形状の半田バンプが基板の凸状の導電性ランドに座り易くなるので、導電性ランド間にずり落ちることがなく、半田付け不良を起こさない。



1

【特許請求の範囲】

【請求項1】 表面実装型電子部品の電極の表面上に、断面が凹状または台形状の半田バンプを備えた表面実装型電子部品。

【請求項2】 請求項1の表面実装型電子部品を、その半田バンプの前記凹部または台形状が、電気回路配線基板の電極に形成された断面が凸状の導電性ランドのその凸部に座るように配置、合体し、その後、その合体状態で両者を加熱処理して、前記表面実装型電子部品を電気回路配線基板に半田付けすることを特徴とする表面実装型電子部品の半田付け方法。

【請求項3】 表面実装型電子部品の電極の表面上に形成された半田バンプの少なくとも中央部に樹脂が充填されていることを特徴とする表面実装型電子部品。

【請求項4】 表面実装型電子部品の電極の少なくとも中央部表面を絶縁樹脂で被覆し、この絶縁樹脂で被覆されていない電極の表面上に半田を付着させて半田バンプを形成することを特徴とする表面実装型電子部品の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、例えば、フリップチップ型半導体集積回路装置（以下、単に「フリップチップ型IC」と記す）、或いは小型スイッチや狭ピッチのコネクターなどの表面実装型電子部品の電極に形成された半田バンプの構造及びその製造方法並びに半田付け方法に関するものである。

【0002】

【従来の技術】従来の技術の表面実装型電子部品、例えば、フリップチップ型ICの電極の構造及びそのようなフリップチップ型ICを電気回路配線基板（以下、単に「基板」と記す）に表面実装した場合の様子を図7を用いて説明する。図7は従来の技術のフリップチップ型ICの電極の構造及びそのフリップチップ型ICを基板に表面実装した場合の状態を示した側面図である。

【0003】従来の技術のこの種基板1は、ガラスエポキシ樹脂などの有機材やアルミナなどのセラミック材など、電気絶縁材で形成されており、その表面にやや突出して複数の導電性配線部とそれらの端部に形成された導電性ランド2とで電気回路が構成されている。

【0004】

【発明が解決しようとする課題】所が、最近、フリップチップ型ICなどの表面実装型電子部品は高密度集積化、小型化されるようになり、それにつれ電極が多くなり、そしてそれらの電極が狭ピッチ化されるようになっている。また、このような表面実装型電子部品を実装する基板の前記導電性ランドも狭ピッチ化されるようになった。

【0005】狭ピッチ化されたフリップチップ型IC10を基板1に実装する場合は、導電性ランド2に被着し

2

た半田3の表面にフラックスを塗布し、その表面にフリップチップ型IC10を搭載するようにしているが、フラックスの流動により、図7に示したように、そのフリップチップ型IC10の半田バンプ11が導電性ランド2間にずり落ちてしまい、実装不良を起こすことがしばしば見受けられる。これらの原因は、前記フリップチップ型IC10の半田バンプ11が凸状の構造をしており、また前記導電性ランド2上の半田3も凸状の構造になっており、この凸状の半田3の上に前記凸状の半田バンプ11を載せ、接続させようとすることに起因するものであった。この発明は、このような実装不良を解決することを課題とするものである。

【0006】

【課題を解決するための手段】それ故、この発明では、表面実装型ICの電極表面上に半田バンプを形成し、その断面形状を凹状または台形状とした。そして、それら半田バンプの凹部または台形状が、基板に形成された断面が凸状の導電性ランドのその凸部に座るように配置、合体し、その後、その合体状態で両者を加熱処理して、前記表面実装型ICをその基板に半田付けする方法を採った。

【0007】また、このような半田バンプは、表面実装型電子部品の電極の少なくとも中央部表面を絶縁樹脂で被覆し、この絶縁樹脂で被覆されていない電極の表面上に半田を付着させることにより形成した。以上のような表面実装型電子部品の半田バンプの構造及びその製造方法並びに半田付け方法を採用することにより、前記課題を解決した。

【0008】

【作用】従って、この表面実装型電子部品の凹状または台形状の半田バンプが基板の凸状の導電性ランドに座り易くなるので、この表面実装型電子部品の半田バンプが基板の導電性ランド間にずり落ちることがない。

【0009】

【実施例】先ず、この発明の表面実装型電子部品の構造及びその製造方法並びに半田付け方法の実施例を図1乃至図6を用いて説明する。図1はこの発明の表面実装型電子部品の半田バンプの構造の実施例を示していて、同図Aはその平面図、同図Bは同図AのA-A線上の断面側面図であり、図2はこの発明の表面実装型電子部品の半田バンプのその他の実施例の構造を示した平面図であり、図3は図1に示したこの発明の表面実装型電子部品の半田バンプの製造方法を説明するための工程図あり、図4はこの発明の表面実装型電子部品を基板に表面実装する半田付け方法を示していて、同図Aは基板にこの発明の表面実装型電子部品を載置した状態を示した断面側面図であり、同図Bは表面実装型電子部品が基板に半田付けされた状態を示した断面側面図あり、図5はこの発明の表面実装型スイッチを示していて、同図Aはその斜視図、同図Bはその導電性端子の構造の平面図、同図C

は同図BのA-A線上の断面側面図であり、そして図6は図5に示した表面実装型スイッチを基板に表面実装する半田付け方法を示して、同図Aは基板にこの発明の表面実装型スイッチを載置する状態を示した斜視図であり、同図Bは表面実装型スイッチが基板に半田付けされた状態を示した断面側面図ある。なお、従来技術の表面実装型電子部品など同一の部分には同一の符号を付して、それらの部分の説明を省略する。

【0010】図1に示した実施例のこの発明の表面実装型電子部品の半田バンパ21は、その表面実装型電子部品の電極パッドTの表面に、その中央部21Aが凹状になるよう半田を環状に盛り上げた構造に形成されている。

【0011】図2に、図1に示した実施例の半田バンパ21の構造と同一、またはほぼ同一の効果が得られる半田バンパの構造を挙げた。同図Aの半田バンパ22は電極パッドTの表面の四隅で、半田22aを半球状に盛り上げ、それら4個の半田22aの中央部22Aで窪みを形成した実施例である。同図Bの半田バンパ23は電極パッドTの表面の四隅で、半田23aを角錐状に盛り上げ、それら4個の半田23aの中央部23Aで窪みを形成した実施例である。同図Cの半田バンパ24は電極パッドTの表面の四辺に沿って、半田24aを盛り上げ、それら四辺の半田24aの中央部24Aで窪みを形成した実施例である。そして、同図Dの半田バンパ25は電極パッドTの表面の二辺に沿って平行に、半田25aを盛り上げ、それら二辺の半田25aが相対する中間部25Aで窪みを形成した実施例である。

【0012】次に、表面実装型電子部品としてフリップチップ型ICを実施例として挙げ、その電極パッドに、図1に示した環状の半田バンパ21を形成する方法を図3を用いて説明する。先ず、同図Aの工程に示したように、フリップチップ型IC10の電極パッドTは、例えば、一辺の長さL_aが110μmの正方形のアルミで形成されており、その電極パッドTの表面を一辺100μmの正方形の開口部を残すようにしてSiO₂の絶縁膜30で覆う。

【0013】次に、同図Bに示したように、感光性ポリイミドを用いて電極パッドT上を外径90μmφ、内径30μmφの二重円の絶縁樹脂膜31をパターンニングする。次に、同図Cに示したように、スパッタ装置を用いて、第1層Cr、第2層Niの薄膜32をフリップチップ型IC10全体に成膜する。次に、同図Dに示したように、感光性レジストを用いたフォトリソグラフィ法を用いて、フリップチップ型IC10の電極パッドT付近にCr、Niの2層膜32Aをパターンニングする。この場合、電極パッドTの中心にある絶縁樹脂膜31の大部分が露出するようにパターンニングする。

【0014】次に、同図Eに示したように、図Dの工程でパターンニングしたCr、Ni膜32Aの大部分を露出

させるように厚膜感光性レジスト33を用いたフォトリソグラフィ法を用いてパターンニングする。この場合、Cr、Ni膜32Aが成膜されていない部分は、全て厚膜感光性レジスト33で覆われている。この工程に続いて、前記厚膜感光性レジスト33の全表面から真空蒸着装置を用いて、同図Fに示したように、半田34を成膜する。

【0015】次に、同図Gに示したように、図Eの工程で形成した厚膜感光性レジスト33を剥離液を用いて除去する。この時、厚膜感光性レジスト33上に堆積した半田34も同時に除去される。そして、次の最終工程でオープンを使用し、図Gの工程で作られた部品を加熱し、半田34を溶融する。

【0016】この場合、図Gの工程で形成された半田34の膜厚が少なければ、図Hに示したように、フリップチップ型IC10の電極パッドTの中心に設けられた絶縁樹脂膜31上に半田34が堆積せず、半田バンパ21が凹状の形をしたこの発明のフリップチップ型IC40が得られ、また、図Gで形成された半田34の膜厚が厚ければ、図Iに示したように、半田バンパ21Aの表面がほぼ平らな台状のこの発明のフリップチップ型IC40Aを得ることができる。以上のような工程を経て、図1に示したこの発明の半田バンパ21をフリップチップ型IC10の各電極パッドT上に形成することができる。

【0017】次に、図4を用いて、この発明のフリップチップ型IC40の基板1への表面実装方法を説明する。先ず、基板1に形成された導電性ランド2上に半田3を被着し、その半田3の表面にフラックスを塗布した後、その表面にフリップチップボンダーを用いて、この発明のフリップチップ型IC40を載置する(図4A)。

【0018】この場合、図3Hのフリップチップ型IC40を導電性ランド2に載置した時は、その凹状の半田バンパ21が導電性ランド2上の凸状の半田3に座るように配置、合体することにより、フリップチップ型IC40が導電性ランド2からずれるのを防ぐことができる(図4A)。また、図Kのようなフリップチップ型IC40Aを導電性ランド2の半田3上に載置した時は、その台状の半田バンパ21Aが導電性ランド2上の凸状の半田3に座るように配置、合体することにより、前記半田バンパ21程のずれ防止効果はないが、従来の凸状電極と凸状の導電性ランドの接続と比較すれば遙にずれを軽減することができる。

【0019】最後に、オープンを用い、この合体状態で両者を加熱処理すると、図4Bに示したように、前記電極パッドTと導電性ランド2とを半田接合させることができ、フリップチップ型IC40、40Aを基板1に半田付けできる。

【0020】次に、表面実装型電子部品の他の電子部品として、表面実装型スイッチ(以下、単に「スイッチ」

10

20

30

40

50

と記す)を採り挙げ、図5及び図6を用いて、第2の実施例を説明する。

【0021】図5において、符号50はこの発明のスイッチを指しており、このスイッチ50は2個の導電性端子51を備えている。これらの導電性端子51には、同図B、Cに示したように、中央部が窪んだ凹状の半田バンプ53が形成されている。この半田バンプ53は電極パッドTの中央部にエポキシ樹脂やシリコン樹脂などの樹脂膜52を薄く塗布し、その後、この電極パッドTを半田にディップし、付着させることにより形成することができ

【0022】このような構造のスイッチ50は、前記の第1の実施例のフリップチップ型IC40と同様に、その半田バンプ53に凹部が形成されているので、基板1に形成された導電性ランド2の半田3の凸部に座り良くなり、ずれ難くなる。従って、この状態で仮止めされた状態になり、この状態で基板1をリフローすることによりスイッチ50の導電性端子51と基板1に形成された半田の導電性ランド2とが半田付けされ、接続することができる(図6B)。なお、符号54はスイッチ50の

【0023】

【発明の効果】以上説明したように、この発明の表面実装型電子部品を用いると、基板上に電子部品を表面実装し、電子部品の電極と基板の導電性ランドを半田接続する作業を行なっても、半田バンプと導電性ランドとがずれることなく接続することができ、半田付け不良を起こさない、信頼性の高い半田付けを行うことができる。

【図面の簡単な説明】

【図1】 この発明の表面実装型電子部品の半田バンプの構造の実施例を示して、同図Aはその平面図、同図Bは同図AのA-A線上的断面側面図である。

【図2】 この発明の表面実装型電子部品の半田バンプのその他の実施例の構造を示した平面図である。

【図3】 図1に示したこの発明の表面実装型電子部品の半田バンプの製造方法を説明するための工程図であ

る。

【図4】 この発明の表面実装型電子部品を基板に表面実装する半田付け方法を示して、同図Aは基板にこの発明の表面実装型電子部品を載置した状態を示した断面側面図であり、同図Bは表面実装型電子部品が基板に半田付けされた状態を示した断面側面図である。

【図5】 この発明の表面実装型スイッチを示して、同図Aはその斜視図、同図Bはその導電性端子の構造の平面図、同図Cは同図BのA-A線上の断面側面図である。

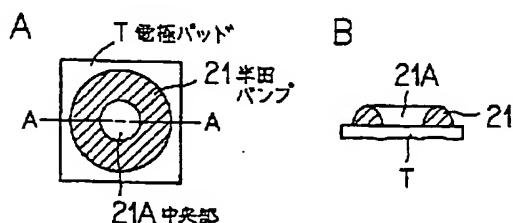
【図6】 図5に示した表面実装型スイッチを基板に表面実装する半田付け方法を示して、同図Aは基板にこの発明の表面実装型スイッチを載置する状態を示した斜視図であり、同図Bは表面実装型スイッチが基板に半田付けされた状態を示した断面側面図である。

【図7】 従来技術のフリップチップ型ICの電極の構造及びそのフリップチップ型ICを基板に表面実装した場合の状態を示した側面図である。

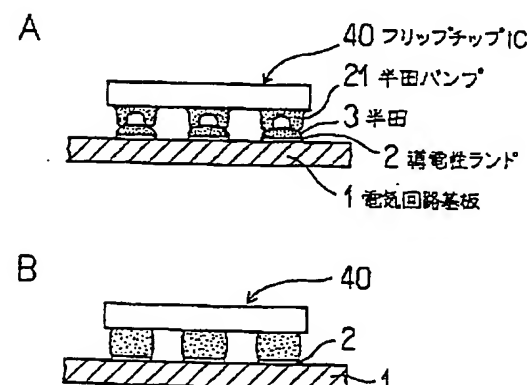
【符号の説明】

- T 電極パッド
- 1 電気回路配線基板(基板)
- 2 導電性ランド
- 3 半田
- 21 断面凹状の半田バンプ
- 21A 断面台形状の半田バンプ
- 31 絶縁樹脂膜
- 34 半田
- 40 断面凹状の半田バンプを備えたフリップチップ型IC
- 40A 断面台形状の半田バンプを備えたフリップチップ型IC
- 50 表面実装型スイッチ
- 51 導電性端子
- 52 樹脂膜
- 53 断面凹状の半田バンプ

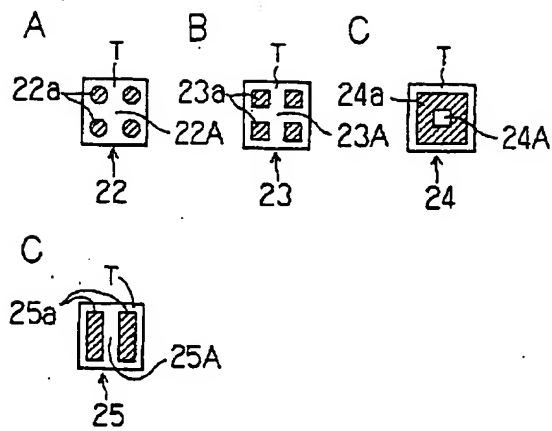
【図1】



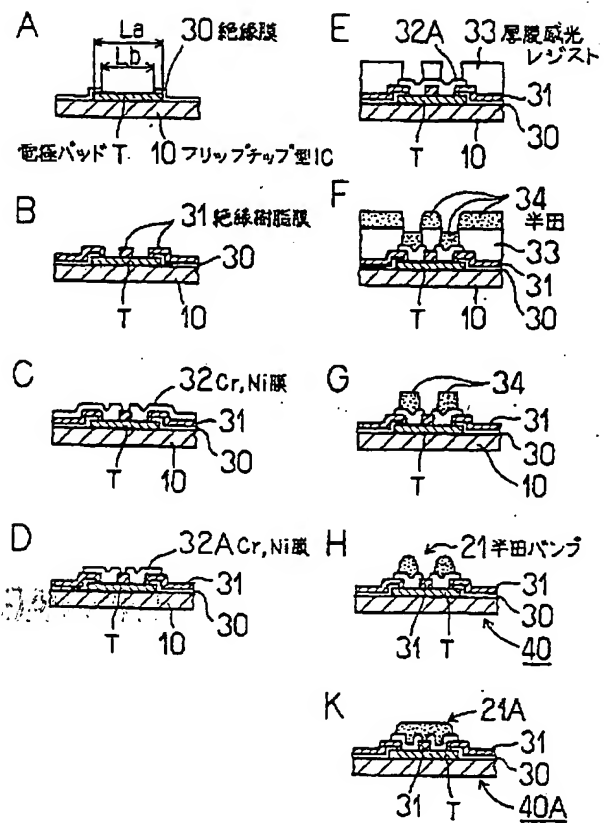
【図4】



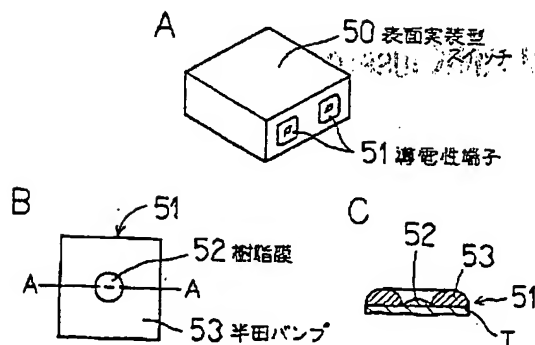
【図2】



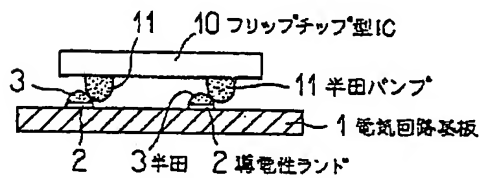
【図3】



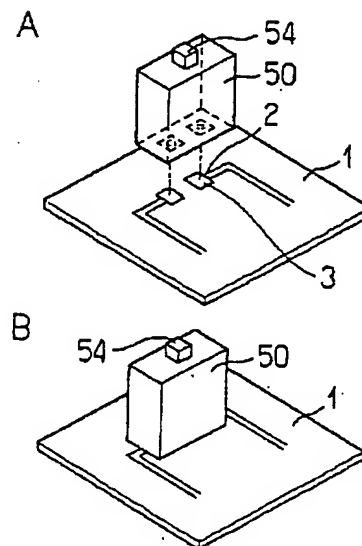
【図5】



【図7】



【図6】



THIS PAGE BLANK (USPTO)